

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

ZFTM- ★ U13 90-335480/45 ★ DD-279-387-A  
Compacted CMOS logic array design - places transistors under  
supply-tracks and uses offset contacts in each cell to allow logic  
interconnections

VEB ZFT MIKROELTRN 02.08.85-DD-279280

(06.06.90) H011-27/11

02.08.85 as 279280 (1698)

The array uses basic cells which contain current conducting  
contacts (17,19) from a first transistor well (4) which are offset from  
the central power-contact (16) in the direction of the second well (5).  
The second well has its central contact (18) offset towards the first  
well, allowing the 3 contacts (17,18,19) to lie in a region between 2  
interconnecting tracks (2,3). The 3 contacts are pref. all in a straight  
line.

USE/ADVANTAGE - The contact alignment gives increased  
compaction of the cells, without preventing the required logic  
connections to be made. The contacts align with an interconnection  
track in the local interconnect area (33). The method is used for the  
design of regular CMOS logic arrays. (10pp Dwg.No.1)  
N90-256561

U13-C4C

Dwg. not available



## PATENTAMT der DDR

(21) WP H 01 L / 279 280 0

(22) 02.08.85

(45) 06.06.90

(71) VEB ZFT Mikroelektronik, Karl-Marx-Straße, Dresden, 8080, DD

(72) Günther, Stefan, Dr.-Ing.; Arndt, Wolfgang, Dipl.-Ing.; Gieseler, Michael, Dr.-Ing.; Sorst, Manfred, Dipl.-Ing., DD

(54) Integrierte Halbleiteranordnung in CMOS-Gate-Array-Technik

(55) Halbleiteranordnung; CMOS; Gate-Array; Teilbereich; stromführende Anschlüsse; Versorgungsleitungen; Durchführungen; innerer Verdrahtungsraum; äußerer Verdrahtungsraum

(57) Die Erfindung betrifft eine integrierte Halbleiteranordnung in CMOS-Gate-Array-Technik, wie sie zur flexiblen Vorbereitung von kundenspezifischen Schaltungen verwendet wird. Die Halbleiteranordnung enthält dabei Teilbereiche für die p- und n-Kanal-Feldeffekttransistoren. Erfindungsgemäß sind die äußeren stromführenden Anschlüsse des ersten Teilbereiches sowohl zwischen den beiden Versorgungsleitungen als auch zwischen den jeweiligen Durchführungen und den Transistoren des zweiten Teilbereiches und die äußeren stromführenden Anschlüsse des zweiten Teilbereiches zwischen den Durchführungen und den Gateanschlüssen der Transistoren des zweiten Teilbereiches angeordnet. Der innere Anschluß des ersten Gebietes befindet sich unter der ersten Versorgungsleitung und der des zweiten Gebietes zwischen der zweiten Versorgungsleitung und einer Geraden durch die äußeren Anschlüsse des ersten Gebietes. Die Transistoren des ersten Teilbereiches befinden sich dabei unter dem äußeren Verdrahtungsraum und die des zweiten Teilbereiches unter dem inneren Verdrahtungsraum.

## Patentansprüche:

1. Integrierte Halbleiteranordnung in CMOS-Gate-Array-Technik, bei der an der Oberfläche eines einkristallinen Halbleiterchips in matrixartiger Verteilung Grundzellen angeordnet sind, die sich jeweils durch die gleiche Zahl von n- und p-Kanal-Feldeffekttransistoren auszeichnen, die in zwei Teilbereichen unterschiedlichen Leitungstyps angeordnet sind und sich teilweise unterhalb eines inneren Verdrahtungsraumes befinden, wobei senkrecht zu zwei Versorgungsleitungen die Grundzelle mittels zweier Durchführungen aus Gateelektrodenmaterial begrenzt ist, **gekennzeichnet dadurch**, daß zwei äußere stromführende Anschlüsse (17; 19) des ersten Teilbereiches (4) bezüglich seines inneren stromführenden Anschlusses (16) in Richtung des zweiten Teilbereiches (5) und der innere stromführende Anschluß (18) des zweiten Teilbereiches (5) bezüglich seiner äußeren stromführenden Anschlüsse (20; 23) in Richtung des ersten Teilbereiches (4) versetzt sind, daß die äußeren stromführenden Anschlüsse (17; 19) des ersten (4) und der innere stromführende Anschluß (18) des zweiten Teilbereiches (5) auf zwei nahe beieinander liegenden Parallelen zur zweiten Versorgungsleitung (3) angeordnet sind und daß die beiden Feldeffekttransistoren (6; 7) des ersten Teilbereiches (4) vollständig unterhalb eines äußeren Verdrahtungsraumes (26) und die beiden Feldeffekttransistoren (8; 9) des zweiten Teilbereiches (5) vollständig unterhalb des inneren Verdrahtungsraumes (33) angeordnet sind.
2. Integrierte Halbleiteranordnung nach Anspruch 1, **gekennzeichnet dadurch**, daß die äußeren stromführenden Anschlüsse (17; 18) und der innere stromführende Anschluß (18) auf einer Parallelen zur Versorgungsleitung (3) angeordnet sind.

Hierzu 6 Seiten Zeichnungen

## Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine integrierte Halbleiteranordnung in CMOS-Gate-Array-Technik. Sie wird in integrierten kundenspezifischen Schaltungen mit einer hochgradig regulären Grundstruktur, z. B. CMOS-Gate-Array-Chips, eingesetzt und bildet dort die Grundlage für die Realisierung logischer Funktionen auf dem Chip.

## Charakteristik des bekannten Standes der Technik

Die DE-OS 3238311 (H01L 27/10) beschreibt eine integrierte Halbleiteranordnung in Gate-Array-Technik, bei der rechteckförmige Grundzellen in matrixartiger Verteilung erzeugt sind. Die Grundzellen bestehen aus einer gleichen Zahl von n-Kanal- und p-Kanal-MOS-Feldeffekttransistoren, deren Gateelektroden u. a. einen mittleren Anschluß besitzen. Bei dieser Halbleiteranordnung ist nachteilig, daß eine Vielzahl von stromführenden Anschlüssen zwischen den beiden Versorgungsleitungen angeordnet sind, daß weiterhin etliche störungsfreie, parallel zu den Versorgungsleitungen verlaufende zusätzliche Leitbahnen möglich und notwendig sind, daß sich die Gateanschlüsse außerhalb der beiden Versorgungsleitungen im globalen Verdrahtungskanal befinden und daß die Weite der Transistoren von dem Raster der Leitbahn abhängig ist. Das wirkt sich im einzelnen in einer begrenzten Packungsdichte derartiger Schaltkreise aus, da die Gebiete der stromführenden Anschlüsse, die nicht für die interne Verdrahtung von logischen Grundschaltungen benötigt werden, nicht für diese interne Verdrahtungen zur Verfügung stehen und die Anzahl der störungsfreien, parallel zu den beiden Versorgungsleitungen verlaufenden zusätzlichen Leitbahnen begrenzt ist, um einerseits nicht zu große Grundzellen zu realisieren und andererseits aber eine optimale interne Verdrahtung unter Berücksichtigung der stromführenden Anschlüsse zu gewährleisten. Beides führt zu relativ großen Grundzellen.

Die Lage der Gateanschlüsse außerhalb des Bereiches der Grundzelle zwischen den beiden Versorgungsleitungen führt zu Restriktionen im globalen Verdrahtungskanal. Diese können nur durch dessen Vergrößerung beseitigt werden, was sich ebenfalls negativ auf die Packungsdichte auswirkt. Die relativ große Grundzelle und die Verknüpfung der Kanalweiten der Transistoren mit dem Rastermaß der Leitbahnebene, was bedeutet, daß die Weite der Transistoren 3...5 Rastereinheiten der Leitbahnbreite beträgt, begrenzen die dynamischen Eigenschaften derartiger Gate-Array-Schaltkreise.

## Ziel der Erfindung

Das Ziel der Erfindung besteht in der Schaffung einer integrierten Halbleiteranordnung für CMOS-Gate-Array-Technik, die unter Wahrung hoher Flexibilität beim Entwurf der kundenspezifischen Schaltung einen geringeren Flächenbedarf benötigt und einen einfachen Verlauf der Verdrahtungen in den kundenspezifischen Ebenen ermöglicht.

## Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, eine integrierte Halbleiteranordnung für CMOS-Gate-Array-Technik zu entwickeln, bei der durch spezielle Gestaltung der aktiven Gebiete im Zusammenwirken mit den Verdrahtungsräumen eine höhere Packungsdichte bei gleichzeitig sinkenden Schaltzeiten und Fertigungskosten erreicht wird.

Bei der integrierten Halbleiteranordnung in CMOS-Gate-Array-Technik sind an der Oberfläche eines einkristallinen Halbleiterchips in matrixartiger Verteilung Grundzellen angeordnet.

Die Grundzellen sind mit einer Isolatorschicht abgedeckt, ausgenommen an den Stellen, wo Kontakte zum einkristallinen Halbleitermaterial, zu Gateelektroden der Transistoren und zu Durchführungen realisiert sind. Die Grundzellen zeichnen sich jeweils durch die gleiche Zahl von n- und p-Kanal-Feldeffekttransistoren aus, die in zwei Teilbereichen unterschiedlichen Leitungstyps angeordnet sind, welche mit mindestens einer Kante parallel zu zwei Versorgungsleitungen realisiert sind. Die zum ersten Teilbereich gehörende Versorgungsleitung ist nur über diesen geführt. Der erste Teilbereich erstreckt sich zu beiden Seiten der ersten Versorgungsleitung.

Die Grundzelle ist senkrecht zu den beiden Versorgungsleitungen mittels zweier Durchführungen aus Gateelektrodenmaterial realisiert. Die beiden Durchführungen weisen unter der ersten Versorgungsleitung je einen stromführenden Anschluß auf. Dabei übersteigt die Zahl der stromführenden Anschlüsse eines jeden Teilbereiches die Zahl der Feldeffekttransistoren pro Teilbereich um einen.

Die Feldeffekttransistoren befinden sich teilweise unterhalb eines inneren Verdrahtungsraumes.

Der innere Verdrahtungsraum, welcher die Verdrahtung der Transistoren auf Gatterniveau realisiert, umschließt dabei alle Kontakte, die nicht unterhalb der ersten Versorgungsleitung liegen und ist in den anderen Richtungen von den beiden Durchführungen begrenzt. Die erste Versorgungsleitung mit den darunterliegenden Kontakten stellt den Übergang zu einem äußeren Verdrahtungsraum dar, der wiederum die Verdrahtung der im inneren Verdrahtungsraum bereitgestellten Gatter beinhaltet.

Erfindungsgemäß sind die beiden äußeren stromführenden Anschlüsse des ersten Teilbereiches bezüglich seines inneren stromführenden Anschlusses in Richtung des zweiten Teilbereiches und der innere stromführende Anschluß des zweiten Teilbereiches bezüglich seiner äußeren stromführenden Anschlüsse in Richtung des ersten Teilbereiches versetzt. Die beiden Teilbereiche greifen damit teilweise umeinander.

Die beiden äußeren, stromführenden Anschlüsse des ersten Teilbereiches sowie der innere stromführende Anschluß des zweiten Teilbereiches sind auf zwei nahe beieinanderliegenden Parallelen zur zweiten Versorgungsleitung angeordnet.

Weiterhin sind die beiden Feldeffekttransistoren des ersten Teilbereiches vollständig unterhalb des äußeren Verdrahtungsraumes und die beiden Feldeffekttransistoren des zweiten Teilbereiches vollständig unterhalb des inneren Verdrahtungsraumes angeordnet.

In Ausgestaltung der Erfindung sind die äußeren stromführenden Anschlüsse des ersten Teilbereiches und der innere stromführende Anschluß des zweiten Teilbereiches auf einer Parallelen zur Versorgungsleitung angeordnet.

Dadurch ergibt sich eine für viele mögliche Kontaktierungsformen günstige Leitungsführung.

Besonders vorteilhaft ist die Möglichkeit, zwei Grundzellen in gespiegelter Form anzuordnen, wobei die zweiten Teilbereiche nebeneinanderliegen. Dadurch erhöht sich die Flexibilität erheblich.

#### Ausführungsbeispiel

Die Erfindung soll anhand eines Ausführungsbeispiels näher erläutert werden. In den zugehörigen Zeichnungen zeigen:

- Fig. 1: die Minimalkonfiguration einer Grundzelle
- Fig. 2: eine Grundzelle mit vergrößerten Verdrahtungsmöglichkeiten
- Fig. 3: eine spezielle Kontaktkonfiguration
- Fig. 4: eine spezielle Kontaktkonfiguration
- Fig. 5: die Minimalkonfiguration einer Doppelzelle
- Fig. 6: eine modifizierte Grundzelle
- Fig. 7: eine modifizierte Doppelzelle
- Fig. 8: eine Grundzelle mit erhöhter Transistorzahl.

Wie in Fig. 1 gezeigt, erfolgt innerhalb des internen Verdrahtungsraumes 33 über die zwei Verdrahtungsebenen die lokale Verdrahtung der Makros, wobei diese aus einer Vielzahl von Grundzellen 1 bestehen können, die einen gemeinsamen inneren Verdrahtungsraum 33 besitzen. Die globale Verdrahtung wird über den äußeren Verdrahtungsraum 26 und über die Durchführungen 10, 11 mit den stromführenden Anschlüssen 12, 15 realisiert, d. h. vorzugsweise als Verdrahtung zwischen den Makros. Dabei dienen die Gatekontaktstellen 13, 14 vorzugsweise als Eingänge des Makros und die beiden Freiräume 24, 25 als Ausgänge. Über die inneren und äußeren stromführenden Anschlüsse 16, 17, 18, 19, 20, 23 des ersten und zweiten Teilbereiches 4, 5 werden die Feldeffekttransistoren 6, 7, 8, 9, die in den beiden Teilbereichen 4, 5 angeordnet sind, miteinander zu logischen Gattern verbunden, deren Stromversorgung über die beiden Versorgungsleitungen 2, 3 gewährleistet wird. Da die Grundzelle 1 stets als Doppelzelle verwendet wird, wie in Fig. 5 dargestellt, und die Feldeffekttransistoren 6, 7, 8, 9 nicht ausschließlich aus dem globalen Verdrahtungsraum 26 angesteuert werden, sind die Gatekontaktstellen 21, 22 in der in Fig. 1 gezeigten Art angeordnet.

Da es in der integrierten CMOS-Technik sinnvoll ist, komplexe Gatter zu realisieren und die beschriebene Grundzelle 1 stets als Doppelzelle 32 verwendet wird, kann die Grundzelle 1 derart modifiziert werden, gezeigt für die stromführenden Anschlüsse 16, 17, 18, 19, 20, 23, Gatekontaktstellen 21, 22, Freiräume 24, 25 und Versorgungsleitungen 2, 3 in Fig. 2, daß die äußeren stromführenden Anschlüsse 17, 19, 20, 23 einerseits und der innere stromführende Anschluß 18 bzw. die Gatekontaktstellen 21, 22 andererseits auf einer Parallelen zu den Versorgungsleitungen 2, 3 versetzt zueinander angeordnet sind, so daß sich die internen Verdrahtungsmöglichkeiten und damit die Komplexität der Makros wesentlich erhöhen.

Wenn die erste Leitungsebene aus Polysilizium besteht, ist es erforderlich, spezielle stromführende Anschlüsse, vorzugsweise für den zweiten Teilbereich 5 zu realisieren, wie sie in Fig. 3 und Fig. 4 dargestellt sind.

Der in Fig. 3 dargestellte stromführende Anschluß beinhaltet ein Polysiliziumgebiet, welches sich in jenes vom ersten Typ 29 und solches vom zweiten Typ 40 jenseits einer Dotierungsgrenze 28 unterteilt. Dabei befinden sich auf dem Polysilizium 29,

40 Kontaktfenster zweiter Art 30, die beidseits der Dotierungsgrenze 28 angeordnet sind, und die an der Dotierungsgrenze 28 mittels eines Teils der zweiten Leitbahnebene 31 die entstandenen Dioden überbrücken, da es sich dabei um eine Metallebene handelt.

Die Verdrahtung in der ersten Leitbahnebene wird mit Polysilizium vom ersten Typ 29 durchgeführt, welches problemlos an die Polysiliziumteile angebracht werden kann.

Analog zu den doppelten Anschlußmöglichkeiten in Fig. 3 ist in Fig. 4 eine einseitige Anschlußmöglichkeit aufgezeigt, wobei in beiden Fällen außerdem noch der Anschluß in der zweiten Leitbahnebene an den Teil 31 möglich ist.

Die Fig. 5 zeigt eine erfindungsgemäße Doppelzelle 32, welche aus zwei Grundzellen 1 besteht. Wesentlich ist hierbei, daß die Durchführungen 10, 11 der beiden Grundzellen jeweils miteinander verbunden sind und somit einen senkrecht zu den Versorgungsleitungen 2, 3 liegenden Verdrahtungskanal zwischen den horizontalen globalen Verdrahtungsräumen 26 bilden, so daß netzartige Verdrahtungsmöglichkeiten bestehen.

Die Fig. 6 zeigt eine weitere Modifikation der Grundzelle 1, wobei hier die stromführenden Anschlüsse 20, 23, 18 und die Gatekontaktstellen 21, 22 ebenfalls zwischen den beiden Versorgungsleitungen 2, 3 angeordnet sind. Durch eine derartige Konfiguration werden die Verdrahtungsmöglichkeiten im internen Verdrahtungsraum 33 weiter vergrößert bei Verkleinerung der Gatterverdrahtung.

Die Fig. 7 zeigt die inneren Verdrahtungsräume 33 einer entsprechenden Doppelzelle 32 in modifizierter Form mit vergrößerten internen Verdrahtungsräumen 33. Derartige Doppelzellen 32 sind insbesondere für große komplexe Gatter geeignet.

Abschließend ist in Fig. 8 eine Grundzelle 1 mit 3n- und 3p-Kanal-Transistoren 6, 7, 8, 9, 38, 39 dargestellt nach dem Prinzip der Grundzelle in Fig. 1. Dementsprechend werden die beiden zusätzlichen Transistoren 38, 39 über die Gatekontaktstellen 34, 36 angesteuert, und die Gatterverdrahtung wird über die inneren stromführenden Anschlüsse 35, 37 realisiert.

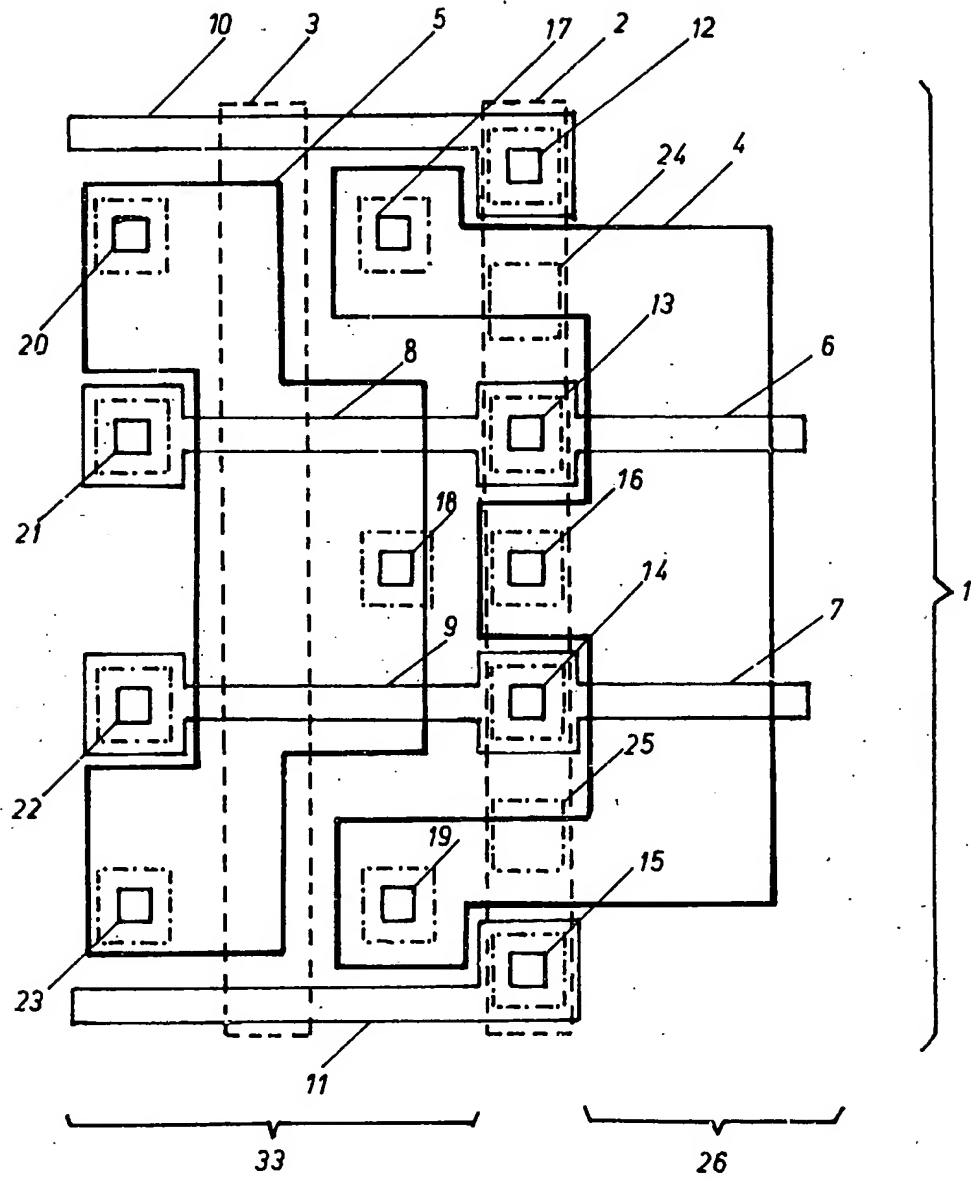


Fig. 1

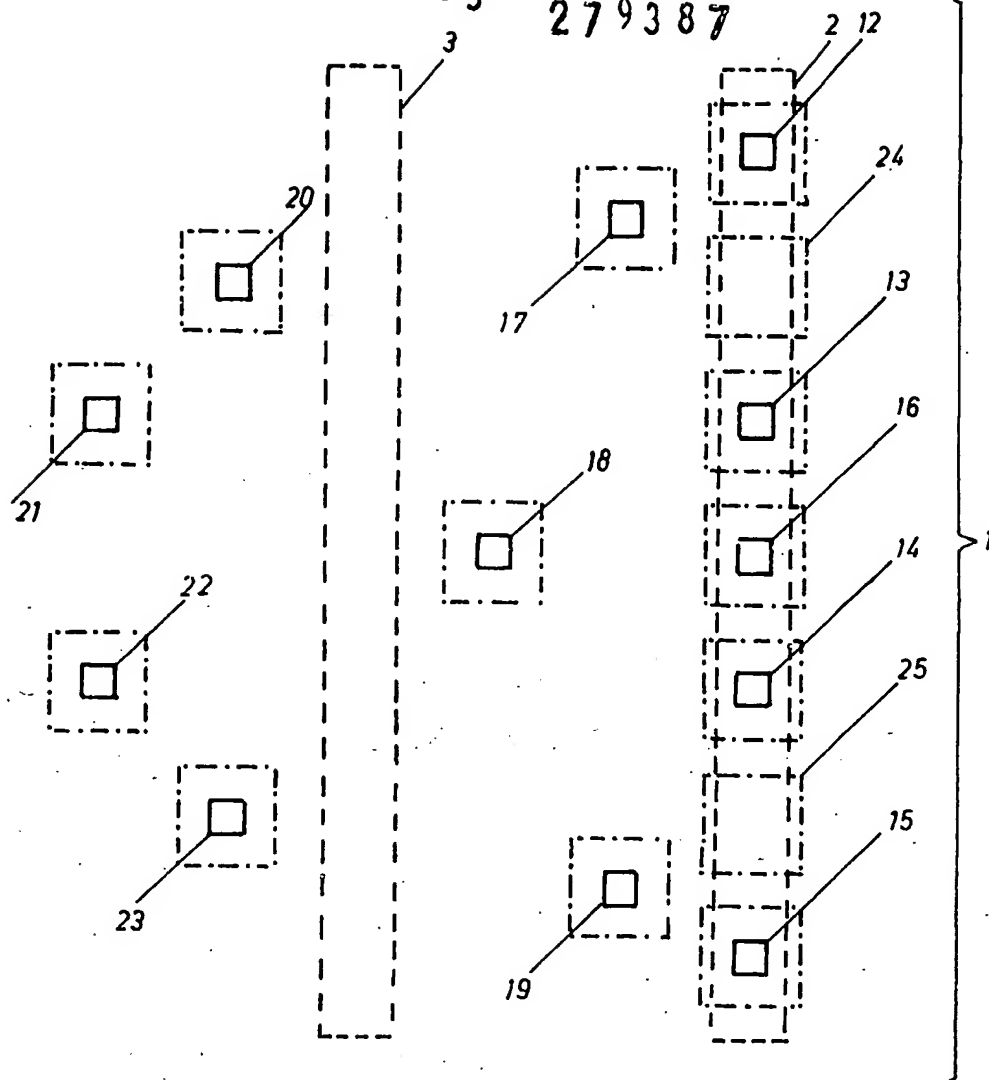


Fig. 2

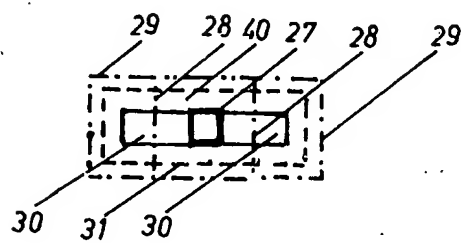


Fig. 3

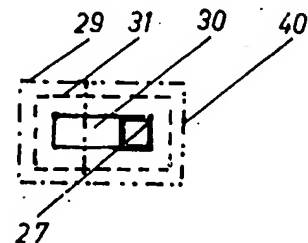


Fig. 4



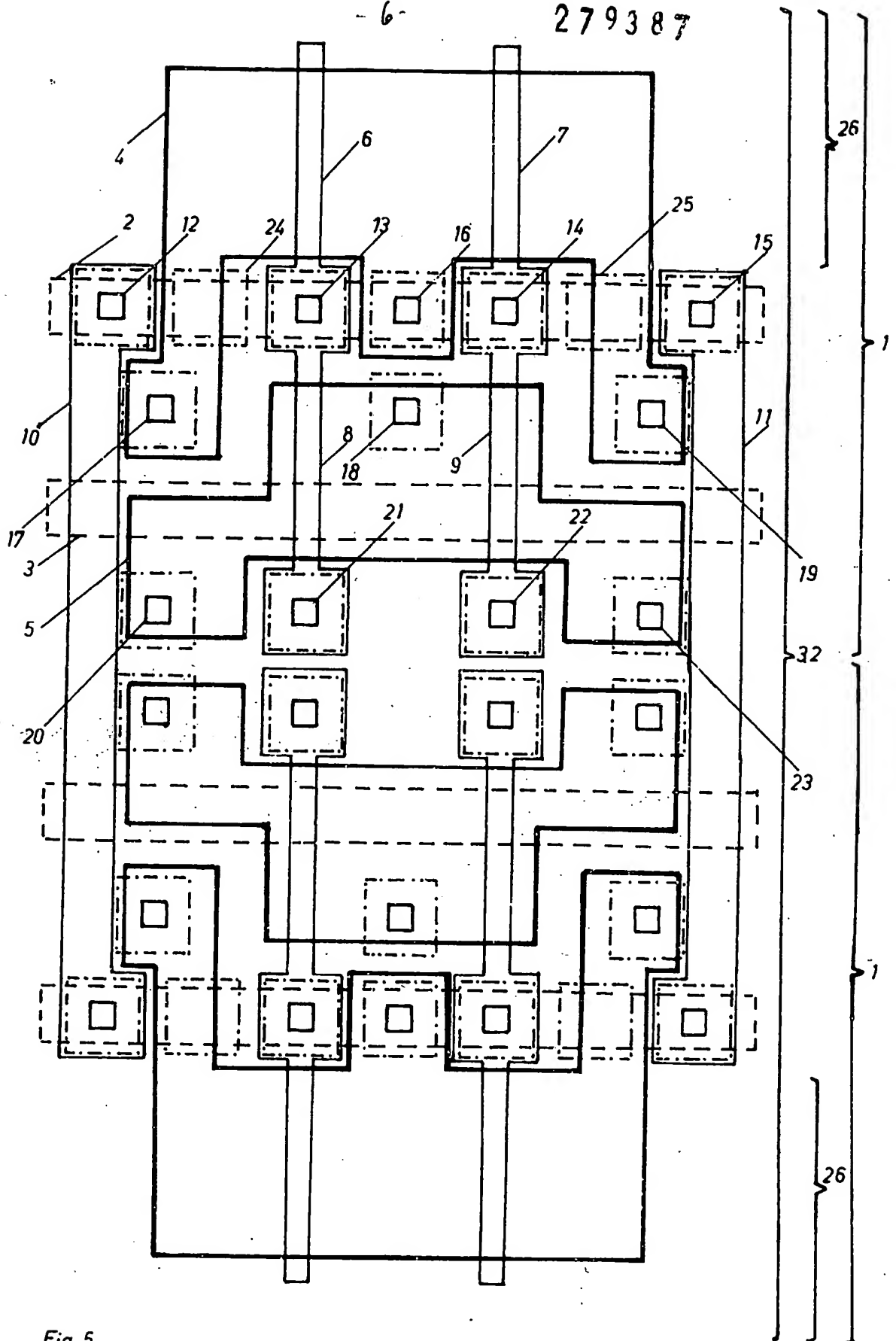


Fig. 5

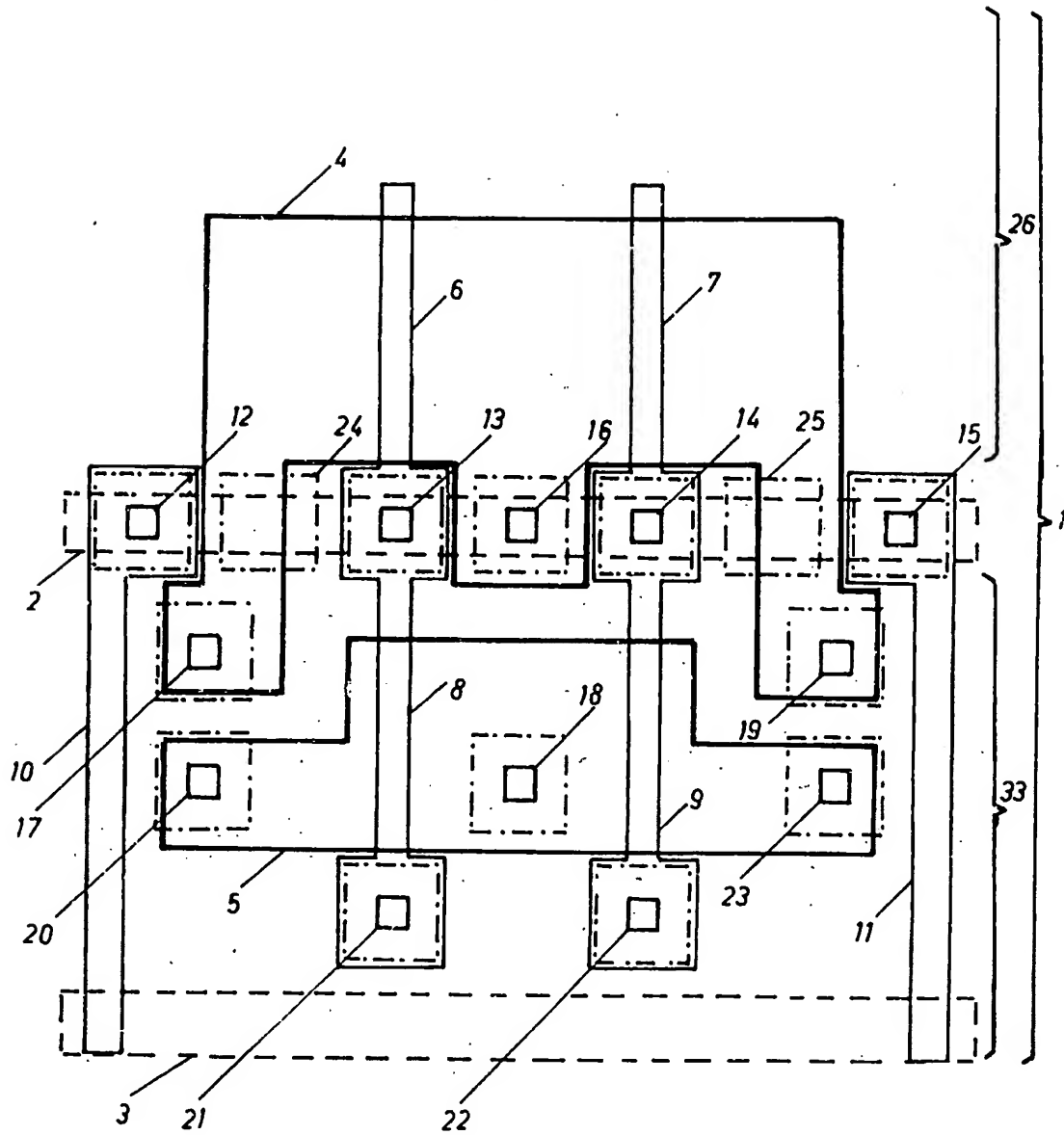


Fig. 6

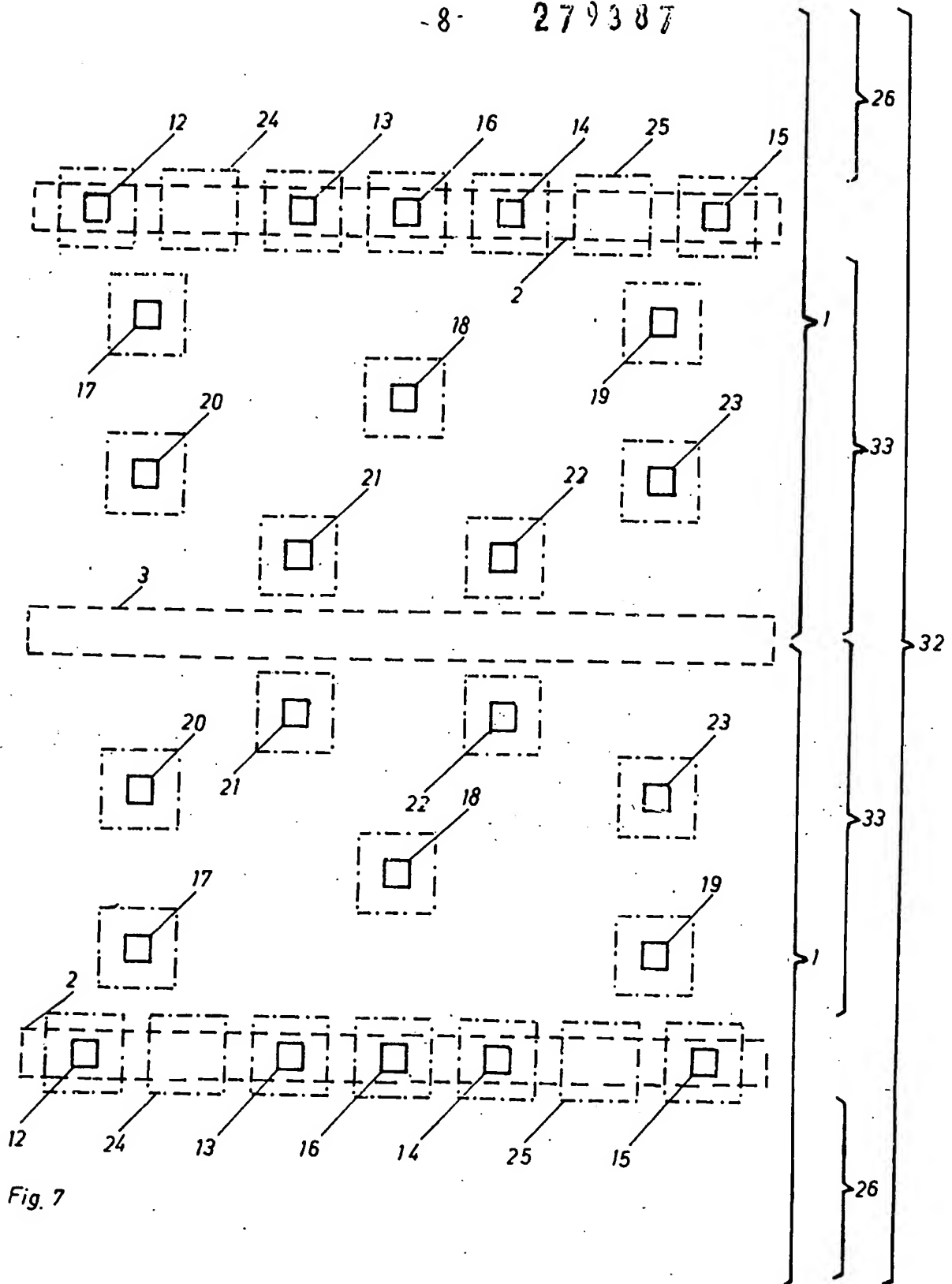


Fig. 7

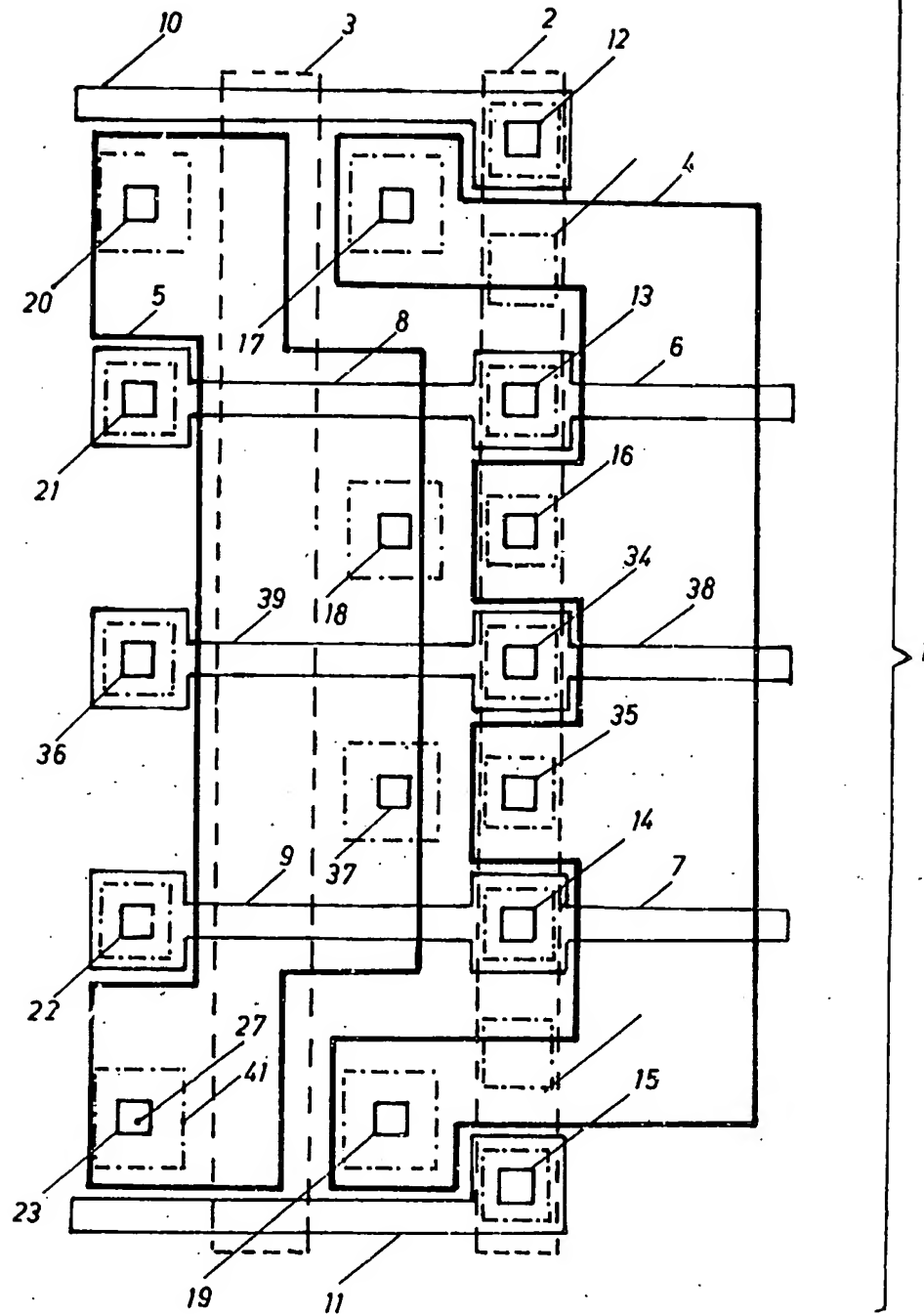


Fig. 8